

①

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-210545

(43)Date of publication of application : 11.08.1995

(51)Int.Cl.

G06F 17/16

G06F 9/38

G06T 1/20

G06F 15/80

(21)Application number : 06-290779

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 25.11.1994

(72)Inventor : OTANI AKIHIKO  
ARAKI TOSHIYUKI

(30)Priority

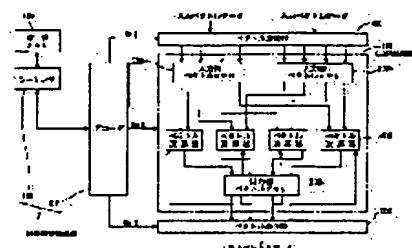
Priority number : 94 185367 Priority date : 24.01.1994 Priority country : US

## (54) PARALLEL PROCESSING PROCESSORS

(57)Abstract:

PURPOSE: To provide the parallel processing processors with memory configuration for realizing area reduction.

CONSTITUTION: For these parallel processing processors, an instruction memory 105, sequencer 106 for decoding an instruction and generating a control signal, decoder 107, vector distributor 400 for dividing input vector data into plural block vector data, vector computing element 600 for executing the arithmetic of the respective block vector data with a pipe-line system, vector memory 200 for storing/extracting the respective block vector data and vector coupler 500 for coupling respective arithmetically processed block vectors are arranged. The vector memory 200 is provided with one address decoder corresponding to plural memory cell parts and a memory control part for performing control to simultaneously execute write/read to/from the cell of plural arbitrary memory cell parts corresponding to addresses designated by this address decoder in common.



## LEGAL STATUS

[Date of request for examination]

18.03.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-210545

(43)公開日 平成7年(1995)8月11日

(51)Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 17/16

9/38

3 1 0 G

G 0 6 T 1/20

G 0 6 F 15/ 347

15/ 66

F

L

審査請求 未請求 請求項の数 3 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願平6-290779

(22)出願日 平成6年(1994)11月25日

(31)優先権主張番号 08/185,367

(32)優先日 1994年1月24日

(33)優先権主張国 米国 (US)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 大谷 昭彦

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 荒木 敏之

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

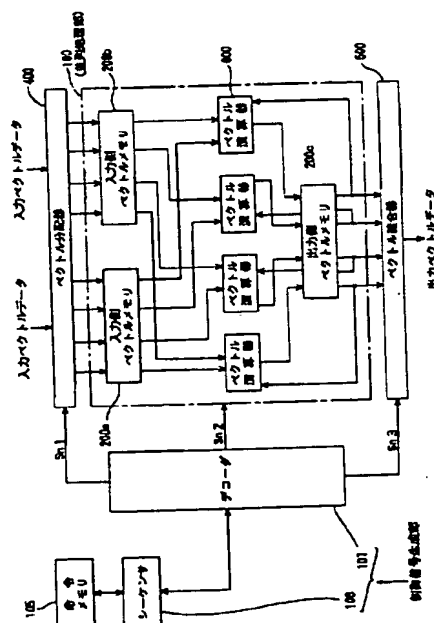
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 並列処理プロセッサ

(57)【要約】

【目的】 省面積を実現するメモリ構成の並列処理プロセッサを提供する。

【構成】 並列処理プロセッサには、命令メモリ105と、命令を解説して制御信号を生成するシーケンサ106及びデコーダ107と、入力ベクトルデータを複数のブロックベクトルデータに分割するベクトル分配器400と、各ブロックベクトルデータの演算をパイプライン方式で実行するためのベクトル演算器600と、各ブロックベクトルデータの記憶・取出しを行うベクトルメモリ200と、演算処理された各ブロックベクトルを結合するベクトル結合器500とが配設されている。ベクトルメモリ200は、複数の記憶素子部310に対し、1つのアドレスデコーダ320と、アドレスデコーダ320で共通に指定された番地に対応する任意の複数記憶素子部310のセルへの書き込み・読み出しを同時に行わせるよう制御するメモリ制御部320とを備えている。



## 【特許請求の範囲】

【請求項 1】 少なくとも並列ベクトル命令を含む命令に従って、入力ベクトルデータをパイプライン方式により並列処理するための並列処理プロセッサであって、上記命令を記憶する命令メモリと、上記命令メモリに記憶される命令を解釈して制御信号を生成する制御信号生成部と、上記制御信号生成部で生成される制御信号を受け、上記入力ベクトルデータを分割してなる複数のブロックベクトルデータを生成するベクトル分配器と、  
 上記ベクトル分配器で生成されるブロックベクトルデータの最大分割数だけ配置され、上記制御信号生成部から出力される制御信号に応じた各ブロックベクトルデータの演算をパイプライン方式で実行するためのベクトル演算器と、  
 上記各ブロックベクトルデータの記憶とその記憶の取出しを行うためのベクトルメモリと、  
 上記ベクトル演算器で演算処理された各ブロックベクトルを結合してなる出力ベクトルデータを生成するベクトル結合器とを備えるとともに、  
 上記ベクトルメモリは、  
 少なくとも 1 つのアドレスデコーダと、  
 上記ベクトル演算器と同数だけ配置され上記各ブロックベクトルデータをそれぞれ格納する記憶素子部と、  
 上記アドレスデコーダで共通に指定された番地に対応する任意の複数の記憶素子部のセルへの書き込み・読み出しを同時に行わせるよう制御するメモリ制御部とで構成されていることを特徴とする並列処理プロセッサ。

【請求項 2】 請求項 1 記載の並列処理プロセッサにおいて、  
 上記ベクトルメモリは、  
 2 種類のブロックベクトルを信号を格納するダブルバッファ構成の 2 つのメモリ回路と、  
 上記各メモリ回路にアドレスを入力するための 1 つのアドレスデコーダとを有することを特徴とする並列処理プロセッサ。

【請求項 3】 請求項 1 又は 2 記載の並列プロセッサにおいて、  
 上記入力ベクトルデータは画像データであることを特徴とする並列処理プロセッサ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、並列処理プロセッサに関するもので、特に高速演算処理性能を要するデジタル画像信号分野で利用するデジタル・シグナル・プロセッサ (DSP) に最適なメモリ構成に関するものである。

## 【0002】

【従来の技術】 従来より、高速演算処理性能を要するデジタル信号処理例えば動画像処理分野においては、DS

P の処理性能を如何に向上させるか大きな課題である。一般的なプログラム制御方式のプロセッサ例えばマイクロプロセッサ等の命令セットには、演算、メモリ又はレジスタの読みだし、書き込み・分岐等の通常の命令が実装されており、これらの命令を用いたプログラミングを 1 命令ずつ逐次実行していくことで各種の処理を実現しているが、演算等の処理をし得る情報量の拡大やその処理速度を高めることが特に重要である。

【0003】かかる演算処理性能の向上を図る方式の 1 つとして、例えば特開平 5-61901 号公報に記載されている方式が挙げられる。これは、パイプライン演算器をプロセッサの演算資源として実装し、命令セットの中にベクトル演算命令を実現することで、演算処理量と演算処理速度を向上させようとする方法である。

## 【0004】

【発明が解決しようとする課題】 しかしながら、例えば動画像処理の場合、より高解像度の動画像処理を行うことが求められている。そのためには、より大量のデータをより迅速に処理する必要があり、上記従来の方式では一定の限界があった。

【0005】本発明は斯かる点に鑑みてなされたものであり、その目的は、複数のプロセッサを配置し 1 つの命令に応じて複数のデータ処理の流れを生ぜしめるいわゆる SIMD 構成を採ることによって処理性能の向上を図りながら、SIMD 構成におけるメモリの占有面積の増大を有効に抑制し得る並列処理プロセッサを提供することにある。

## 【0006】

【課題を解決するための手段】 上記目的を達成するために、請求項 1 の発明の誦じた手段は、少なくとも並列ベクトル命令を含む命令に従って、入力ベクトルデータをパイプライン方式により並列処理するための並列処理プロセッサの構成として、上記命令を記憶する命令メモリと、上記命令メモリに記憶される命令を解釈して制御信号を生成する制御信号生成部と、上記制御信号生成部で生成される制御信号を受け、上記入力ベクトルデータを分割してなる複数のブロックベクトルデータを生成するベクトル分配器と、上記ベクトル分配器で生成されるブロックベクトルデータの最大分割数だけ配置され、上記制御信号生成部から出力される制御信号に応じた各ブロックベクトルデータの演算をパイプライン方式で実行するためのベクトル演算器と、上記各ブロックベクトルデータの記憶とその記憶の取出しを行うためのベクトルメモリと、上記ベクトル演算器で演算処理された各ブロックベクトルを結合してなる出力ベクトルデータを生成するベクトル結合器とを設ける。

【0007】さらに、上記ベクトルメモリを、少なくとも 1 つのアドレスデコーダと、上記ベクトル演算器と同数だけ配置され上記各ブロックベクトルデータをそれぞれ格納する記憶素子部と、上記アドレスデコーダで共通

3

に指定された番地に対応する任意の複数記憶素子部のセルへの書き込み・読み出しを同時に行わせるよう制御するメモリ制御部とで構成する。

【0008】請求項2の発明の誦じた手段は、請求項1記載の並列処理プロセッサにおいて、上記ベクトルメモリに、2種類のブロックベクトルを信号を格納するダブルバッファ構成の2つのメモリ回路と、上記各メモリ回路にアドレスを入力するためのアクセスする1つのアドレスデコーダとを設けたものである。

【0009】請求項3の発明の誦じた手段は、請求項1又は2記載の並列プロセッサにおいて、上記入力ベクトルデータを画像データで構成したものである。

【0010】

【作用】請求項1の発明では、ベクトル分配器、ベクトル結合器、複数のベクトル演算器、複数のベクトルメモリを備えているので、入力ベクトルデータが並列的に処理され、大量の情報が高速に処理される。しかも、入力ベクトルデータを分割した複数のブロックベクトルデータに対して同一アドレスに割り当てることによりベクトルメモリのアドレスデコーダが1個のみでよく、ベクトルメモリの占有面積が削減される。また、n個のベクトル演算器を備えたプロセッサにおいて、n個より小さいm個 ( $n > m$ ) に分割されたブロックベクトルデータしか処理しない場合、余分な記憶素子部を動作させる必要がないので、消費電力も低減することになる。

【0011】請求項2の発明では、2つのメモリ回路を有する複数バッファ構成のプロセッサにおいても、単一のアドレスデコーダで制御されるので、さらにベクトルメモリ全体の占有面積が低減する。

【0012】請求項3の発明では、画像データ信号を処理する場合には特に大量の情報を時々刻々に処理する必要があるが、かかる場合にも面積の小さい高性能の並列処理プロセッサで円滑に信号処理を行うことが可能になる。

【0013】

【実施例】以下、本発明の実施例について図面を参照しながら説明する。

【0014】図1は、実施例に係る並列処理プロセッサの構成を示すブロック図である。このプロセッサは、2系統の画像データ (= 入力ベクトルデータ) を受けてこれをブロックベクトルデータに分割するベクトル分配器

$$Z_i = |X_i - Y_i| \quad (i=1, 2, \dots, k)$$

図2は、上記入力側ベクトルメモリ200a (もう1つの入力側ベクトルメモリ200b及び出力側ベクトルメモリ200cも同様の構成を有する) の構成を示すブロック図である。ベクトルメモリ200aは、2種類のブロックベクトルを格納するダブルバッファ構成の第1、第2メモリ回路210A、210Bと、各メモリ回路210A、210Bにアドレスを入力するためのアドレスデコーダ220とで構成されている。上記各ベクトルメ

4

400と、該ベクトル分配器400により分割された各ブロックベクトルデータを並列的に処理する並列処理部100と、該並列処理部100内で処理されたブロックベクトルデータを結合して最終的に1系統の画像データ (= 出力ベクトルデータ) となるように結合するベクトル結合器500と、プロセッサ内の各回路ブロックの動作をプログラムとして格納する命令メモリ105と、上記命令メモリ105内に格納されている命令を順次に読みだしていくシーケンサ106と、読みだされた命令を解析して各回路ブロックに制御信号を出力するデコーダ107とを備え、2系統の画像データをプログラム制御により処理を行って1系統の画像データを生成するように構成されている。

【0015】上記並列処理部100には、並列ベクトル命令に基づくベクトル演算をパイプライン方式で実行する同一構成の4個のベクトル演算器600と、ベクトルデータを記憶するための3つのベクトルメモリ200a ~ 200cとが配置されている。すなわち、ベクトル分配器400と各ベクトル演算器600の間に配置された2つの入力側ベクトルメモリ200a、200bに上記ベクトル分配器400で分割された各ブロックベクトルを記憶しておき、この記憶データを各ベクトル演算器600における演算に供する一方、各ベクトル演算器600の出力側に配置された出力側ベクトルメモリ200cにより、各ベクトル演算器600の演算結果を記憶しておき、この記憶データをベクトル結合器500における出力ベクトルデータの生成と各ベクトル演算器600における演算とに供するように構成されている。なお、ベクトル分配器400及びベクトル結合器500は、起動命令を実行するとシーケンサ106とデコーダ107とは独立にベクトル転送が実行可能に構成されている。

【0016】多くの画像処理例えば空間フィルタリング、パターンマッチング、画像圧縮、伸張等では、I画素×J画素 (ブロック) 単位で並列処理できるアプリケーションが多く、またそのブロックに対する処理の内容は全てのブロックに同様のベクトル演算の組み合わせであることが多い。上記ベクトル演算とは、1ブロック内の1画素をベクトルXの1要素 $X_i$ としたベクトル演算である。例えば2ブロックの差分の絶対値Zをもとめる演算は、下記(1)式で表される。

【0017】

(1)

メモリ200a (200b, 200c) の各メモリ回路210A、210Bには、メモリアクセス信号、書き込み制御信号、読み出し制御信号が別々に入力される。

【0018】図3は、上記メモリ回路210A (210B) の構成を示す電気回路図である。メモリ回路210Aは、多数のメモリセルを有するメモリ部310と、このメモリ部310への書き込み信号や読み出し信号を生成するメモリ制御部320とで構成されている。さらに、上

5

記メモリ部310には、4分割されたブロックベクトルデータ（例えば各々8ビットからなる信号）をそれぞれ格納する4つの記憶素子部310-1~310-4が収納されている。ただし、メモリ制御部320は、メモリアクセス信号と書き込み制御信号・読出し制御信号を受けて書き込み信号・読出し信号を生成し、ベクトルメモリ内の各記憶素子部310-1~310-4への入出力を制御する。

【0019】図3に示す構成のごとく、4個のメモリ素子部310-1~310-4に対して単一のアドレスデコーダを配置することで、ベクトルメモリ全体の面積を削減することができる。また、図2に示す構成のごとく、2つのメモリ回路210A、210Bに対しても単一のアドレスデコーダ220を配置することで、最終的に8個の記憶素子部に対して共通のアドレスデコーダを1つ設ければ済むことになり、ベクトルメモリの占有面積がより低減されることになる。

【0020】図4は、上記ベクトル分配器400の構成を示すブロック図である。このベクトル分配器400には、外部メモリへのアドレス信号を生成する外部アドレス発生器401と、上記各入力側ベクトルメモリ200a、200bの書き込み動作を制御する書き込み制御信号を生成する書き込み制御回路402と、内部アドレス発生器403とが配設されている。外部アドレス発生器401からのアドレス信号を受けて外部メモリから読みだされたデータはベクトルメモリ200aに入力される。一方、書き込み制御回路402で生成される書き込み制御信号は、上記データをどの記憶素子部310-1~310-4に書き込むかを制御するものである。また、その際に各入力側ベクトルメモリ200a、200bに出力するアドレス信号は内部アドレス発生器403で生成される。以上のように、ベクトル分配器400は、プロセッサ外部に格納されている入力ベクトルデータ例えば画像データを連続的に読出し、各ベクトルメモリ200a、200bで並列処理できる形式の同数の要素を有したブロックベクトルデータに分割し、各回路に分配する。

【0021】図5は、上記ベクトル結合器500の構成を示すブロック図である。ベクトル結合器500には、内部アドレス発生器503と、出力側ベクトルメモリ200cの読み出し動作を制御する読み出し制御回路502と、外部アドレス発生器501とが配設されている。出力側ベクトルメモリ200cに格納されているブロックベクトルは、内部アドレス発生器503から出力されるアドレス信号に応じて各ベクトルメモリ200cから同時に読出される。その際、読出し制御回路502によって上記ベクトルメモリ200cのどの記憶素子部310-1~310-4から読み出すかが制御される。そして、ベクトル結合器500の内部で各ブロックベクトルが結合されて画像データ（出力ベクトルデータ）が生成

6

され、この画像データは、外部アドレス発生器501で生成されたアドレス信号と同時にプロセッサ外部へ順次出力される。

【0022】図6は、上記各ベクトル演算器600の構成を示すブロック図である。各ベクトル演算器600は、算術論理演算器、乗算器などの2つの演算器601、602と、2つのパイプラインレジスタ604、605とが複数の選択回路607、608、609、610を介してパイプライン結合されたものである。各ベクトル演算器600の動作はすべて同一であり、上記デコーダ107からの信号により制御され、ベクトルメモリに格納されているブロックベクトルに対して同じベクトル演算を同時並列に行う。

【0023】図7は、本実施例に係る並列処理プロセッサが処理する対象データの構成を示す図である。以下、図7を参照しながらベクトル分配器400とベクトル結合器500との行う動作の概念を説明する。図7に示すように、プロセッサで処理される信号は、画像符号化の規格MPEG、JPEGに従い、4つのブロックA1~A4からなる輝度信号のベクトルデータ730と、2つのブロックB1、B2からなる色差信号のベクトルデータ740とがある。そして、1枚のフレーム画像710は、…、n、n、n+1、n+2、…と連続する多数のX画素×Y画素（例えば16個×16個）からなるメインブロック720（マクロブロック）で構成されている。このメインブロック720は、輝度信号のベクトルデータ730及び色差信号のベクトルデータ740を合成して構成されるものである。

【0024】プロセッサが、4個の記憶素子部310-1~310-4を備えているとすると、ベクトル分配器400は、画像データを輝度信号730の各ブロックA1~A4に分割して、入力側ベクトルメモリ200a（200b）内の各記憶素子部310-1~310-4に（X画素×Y画素）/4のブロックベクトルとして格納する。

【0025】また、ベクトル結合器500は上記分割動作の逆動作を行い、出力側ベクトルメモリ200c内の各記憶素子部310-1~310-4に記憶されている（X画素×Y画素）/4のブロックベクトルを結合させて、元の画像データの形式のX画素×Y画素の画像データの出力ベクトルとして生成する。

【0026】例えば、輝度信号のベクトルデータ730を処理する場合は、全ての記憶素子部310-1~310-4にデータに対して書き込み/読出しを行なう。しかし、色差信号のベクトルデータ740を処理する場合は、4個の内の2個、例えば、記憶素子部310-1、310-2に対して書き込み・読出しを行なうのみでよく、他の2個の記憶素子部310-3、310-4はアクセスする必要がない。その各記憶素子部の書き込み・読出し制御は、図3に示すメモリ制御部320で生成され

7

る書き込み信号・読出し信号によって行われる。この書き込み信号・読出し信号は各々分割する最大のブロックベクトル数だけ必要であり、この実施例では、各々4本で構成されている。

【0027】なお、メモリ部310へのデータの書き込み・読出しを行なうかどうかは命令のビットマップにより判断する。この判断動作は、例えば、ビットマップの4ビットをメモリアクセス信号に割り当てることにより実現可能である。

【0028】以上のように、本実施例における並列処理プロセッサの構成により、4個のメモリ素子部310-1~310-4に対して、1個のアドレスデコーダ220を配置するだけで済むので、ベクトルメモリ全体の占有面積が削減される。加えて、処理するブロックベクトル数に応じてメモリアクセス信号を制御するようにしているので、 $n$ 分割（上記実施例における輝度信号の4分割）より小さい $m$ 分割（ $n > m$ ）（上記実施例における色差信号の2分割）でしか処理しない場合、余分な記憶素子部（上記実施例では記憶素子部310-3, 310-4）が動作せず、消費電力の低減をも図ることができ

る。

【0029】次に、本実施例におけるプロセッサの動作について説明する。

【0030】（手順1）最初に2系統の画像データを連続的なブロックからなる入力ベクトルデータとし、各画素を連続的にベクトル分配器400によって2個の入力側ベクトルメモリ200a, 200b内の第1メモリ回路210Aに入力する。この時の分配は、メモリ210A内の記憶素子部310-1~310-4に同じ画素数を格納するように行う。

【0031】（手順2）次に、入力側ベクトルメモリ200a, 200bの各第1メモリ回路210Aに分配された各ブロックベクトルデータの差（各要素同士の差）のベクトル演算を行い、その結果をベクトルメモリ200a, 200b内の第1メモリ回路210Aへ格納する並列ベクトル命令を実行する。

【0032】また、第1メモリ回路210A内のメモリを用いてベクトル演算を行なうのと並行して、手順1と同様のことを第2メモリ回路210B内のメモリに対して行なう。

【0033】（手順3）そして、上記第1メモリ回路210Aへの並列ベクトル命令と第2メモリ回路210Bへのベクトルデータの入力終了すると、第1メモリ回路210Aには各差ベクトルが格納されているので、ベクトル結合器500を用いて、入力データと同様の形式になるように結合してから、これを出力する。

【0034】また、ベクトル結合器500を介して第1メモリ回路210Aから出力を行うのと並行して、手順2の第1メモリ回路210Aのベクトル演算と同様の制御を第2メモリ回路210Bに対して行なう。

8

【0035】（手順4）ベクトル結合器500を介して第1メモリ回路210Aから出力を行う上記手順3の制御と同様の出力制御を第2メモリ回路210Bに対して行なう。

【0036】上記一連の手順において、第1メモリ回路210Aと第2メモリ回路210Bとは、図2に示すように、同一アドレスを入力する構成となっているので、同一アドレスに対して同時にアクセスが行われる。

【0037】また、すでに述べたように、第1メモリ回路210Aと第2メモリ回路210Bとは、ある期間において、例えば一方のベクトルメモリがベクトル演算器600との間でブロックベクトルを転送可能（アクセス権がベクトル演算器600）であるときは、他方のベクトルメモリはベクトル分配器400またはベクトル結合器500との間での転送可能（アクセス権がベクトル分配器400またはベクトル結合器500）であるように排他制御される。つまり、その期間が終了すると、アクセス権の交換を行う。このアクセス権の交換の制御は内部の特定の命令または外部からの同期信号で行う。

【0038】つまり、図1に示すプロセッサの動作は、入力ベクトルの入力、ベクトル演算処理、出力ベクトルの出力をパイプライン並列で行われる。その動作について、図8のタイミングチャートを参照しながら説明する。図8に示す $n-1$ ,  $n$ ,  $n+1$ ,  $n+2$ , ...等の符号は、図7に示すメインブロック720に相当する。図8に示すように、各回路を通過するデータの処理の流れにおいて、左側から順に、輝度信号、色差信号、輝度信号、色差信号、...の各1ブロックを交互に処理するパイプが形成されている。

【0039】図8の左から2列目のパイプを例にして考えると、 $n$ 番目のデータを演算処理している期間には、 $(n+1)$ 番目のデータを入力しており、また、 $(n-1)$ 番目のデータの演算結果を出力している。

【0040】すなわち、図1のプロセッサは、入出力ベクトルの外部との転送と演算処理が並列に行われ、ベクトルデータの高速処理が行なえ、実時間性の要求される動画像処理にも対応できる。

【0041】以上説明してきたように、本実施例のプロセッサは、例えば画像処理分野で画像分割方式で並列処理可能なアプリケーションにおいて、外部との転送と演算処理が並列に行われることにより性能向上を実現するとともに、従来であれば、2個のメモリ部と2個のアドレスデコーダで構成されていたダブルバッファ構成メモリが、この発明では、ダブルバッファ構成メモリのアドレスを共通にすることによりアドレスデコーダが1個のみでよくなり面積削減になる。

【0042】なお、図7で示した分割・結合の方法は画像データを矩形のブロックに分割しているが、アプリケーションによって1ライン毎に分割するなどの様々な分割・結合方式が採れる。

9

【0043】またこの実施例では画像データの4個に分割して並列処理をしたが任意の数に分割しても何ら問題ない。

【0044】さらに、この実施例ではダブルバッファ構成のベクトルメモリについて説明したが、ベクトルメモリを任意の数のバッファ構成にしても本発明は有効である。

【0045】

【発明の効果】請求項1又は2の発明によれば、入力ベクトルデータを並列的に処理可能な並列処理プロセッサ 10において、ベクトルメモリの占有面積の低減と消費電力の低減とを図ることができる。

【0046】請求項3の発明によれば、面積の小さい高性能の並列処理プロセッサで画像データ信号の信号処理を円滑に行うことができる。

【図面の簡単な説明】

【図1】実施例における並列処理プロセッサの構成を示すブロック図である。

【図2】図1におけるベクトルメモリの構成を示すブロック図である。

【図3】図2におけるメモリ回路の構成を示すブロック図である。

10

【図4】図1におけるベクトル分配器の構成例を示すブロック図である。

【図5】図1におけるベクトル結合器の構成を示すブロック図である。

【図6】図1におけるベクトル演算器の構成を示すブロック図である。

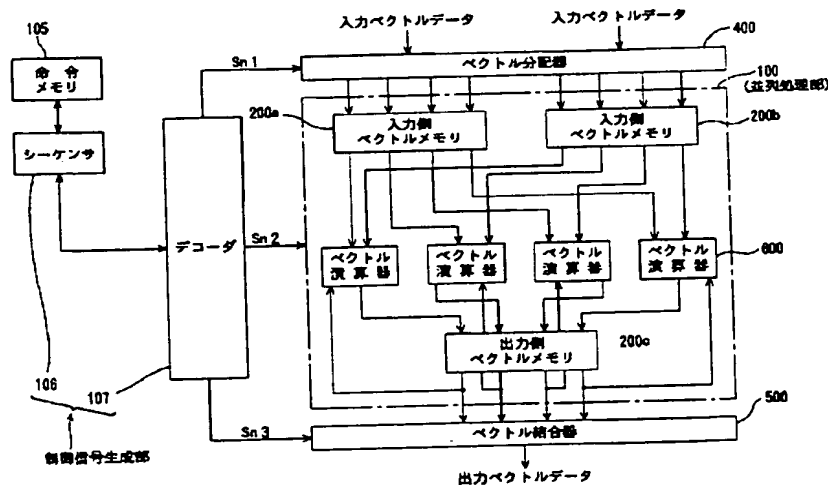
【図7】実施例における並列処理プロセッサの処理対象データの構成を示すブロック図である。

【図8】実施例における並列処理プロセッサの動作を示すタイミング図である。

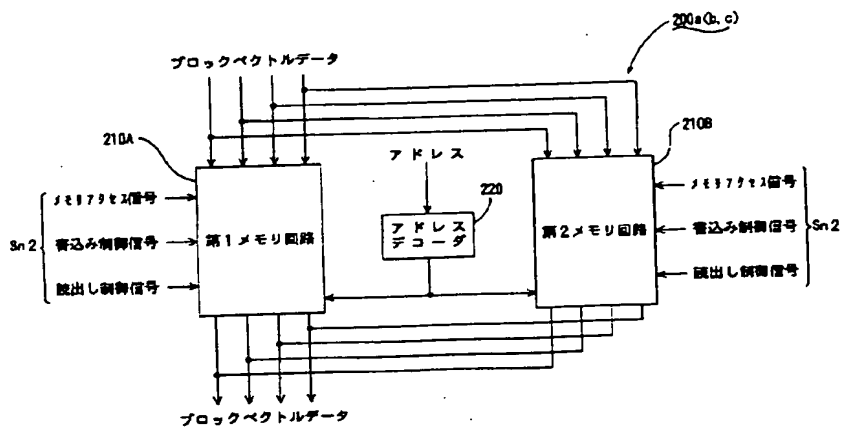
【符号の説明】

- 105 命令メモリ
- 106 シーケンサ
- 107 デコーダ
- 200 ベクトルメモリ
- 210 メモリ回路
- 310 メモリ部
- 320 メモリ制御部
- 400 ベクトル分配器
- 500 ベクトル結合器
- 600 ベクトル演算器

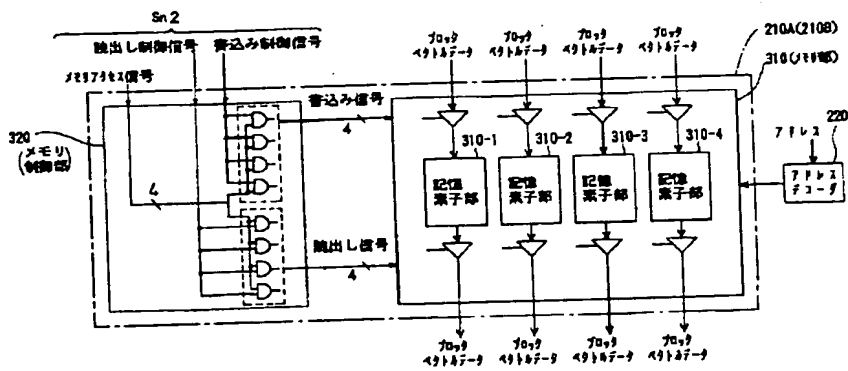
【図1】



【图2】

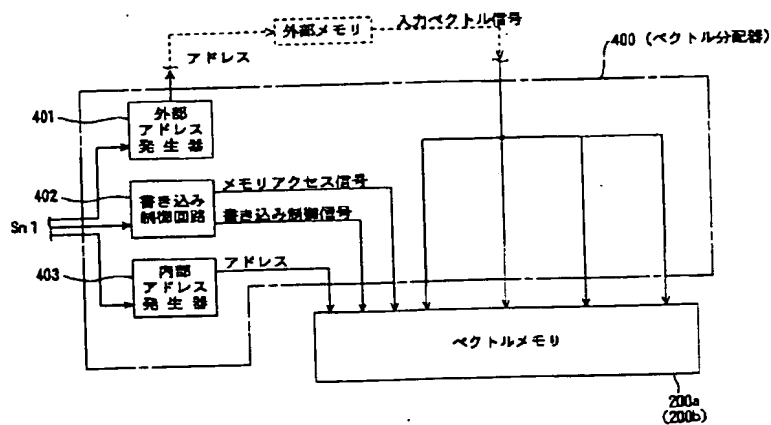


【図 3】

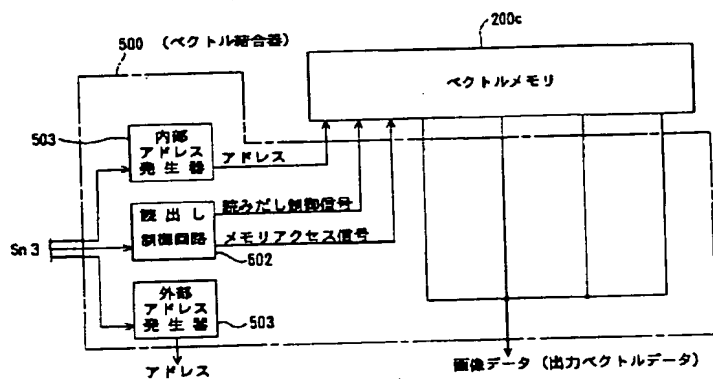




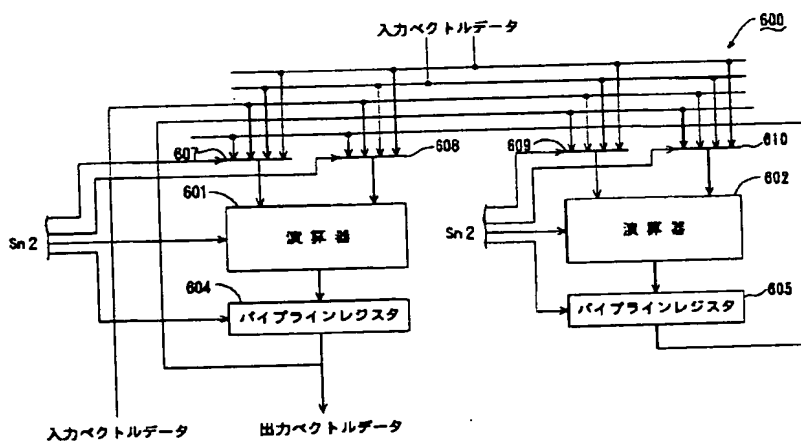
【図4】



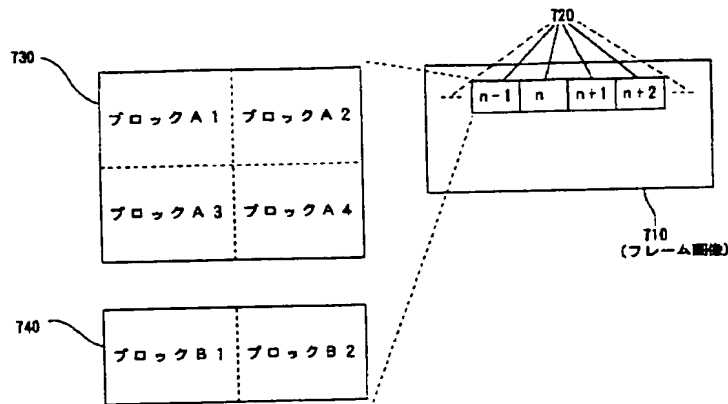
【図5】



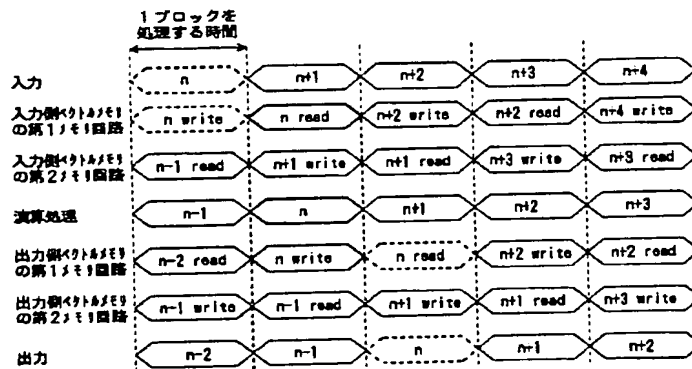
【図6】



【図7】



【図8】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 15/80